

PAT-NO: JP02005025364A
DOCUMENT- JP 2005025364 A
IDENTIFIER:
TITLE: CIRCUIT AND METHOD FOR CONTROLLING POWER SOURCE
SUPPLY TO MEMORY AND MEMORY-MOUNTED DEVICE

PUBN-DATE: January 27, 2005

INVENTOR-INFORMATION:

NAME COUNTRY
AOKI, TAKASHI N/A

ASSIGNEE-INFORMATION:

NAME COUNTRY
SONY CORP N/A

APPL-NO: JP2003188423
APPL-DATE: June 30, 2003

INT-CL (IPC): G06F001/32 , G06F001/26 , G06F012/06

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a memory-mounted device of which the power consumption is reduced.

SOLUTION: For a memory, for example, a DRAM, the conditions of use of DRAM modules 141 to 144 on a chip 1 are monitored by a monitoring circuit 11, and a power source supply control signal is generated from a CPU 12 to turn off power source supply to each of the DRAM modules put in an idle status, non-use status or unnecessary status based on the monitoring result for the condition of use. The power source supply only to the DRAM module put in the non-use status is turned off by a power source supply on/off circuit 13 based on the power source supply control signal, so that the reduction of the power consumption of a device can be attained as a whole.

COPYRIGHT: (C) 2005, JPO&NCIPI

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-25364

(P2005-25364A)

(43) 公開日 平成17年1月27日(2005.1.27)

(51) Int.Cl.⁷

F 1

テーマコード (参考)

G06F 1/32

G06F 1/00 332B

5B011

G06F 1/28

G06F 12/06 515H

5B060

G06F 12/06

G06F 1/00 334C

審査請求 未請求 請求項の数 9 O L (全 7 頁)

(21) 出願番号 特願2003-188423 (P2003-188423)

(22) 出願日 平成15年6月30日 (2003. 6. 30)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100122884

弁理士 角田 芳末

(74) 代理人 100113516

弁理士 磯山 弘信

(72) 発明者 青木 貴史

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

Fターム(参考) 5B011 EA08 EB01 LL11 MA07

5B060 MM15

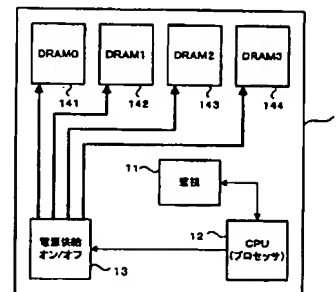
(54) 【発明の名称】 メモリへの電源供給制御回路及び方法、並びにメモリ搭載装置

(57) 【要約】

【課題】消費電力の低減化が可能とされたメモリ搭載装置を得ること。

【解決手段】メモリが、例えばDRAMであるとして、チップ1上のDRAMモジュール141～144各々の使用状況を監視回路11により監視した上、その状況監視結果に基づき、現に空き状態、あるいは不使用状態、または不要状態にあるDRAMモジュールへの電源供給をオフすべく、CPU12からは電源供給制御信号が発生されるようにした。この電源供給制御信号に基づき、電源供給オン/オフ回路13では、不使用状態等にあるDRAMモジュールだけへの電源供給がオフされることによって、装置全体としての消費電力の低減化が可能となる。

【選択図】 図1



チップ上での本発明に係る回路構成

【特許請求の範囲】

【請求項 1】

複数のメモリモジュールとともに同一チップ上に搭載された状態で、該メモリモジュール各々への電源供給をモジュール単位、あるいはモジュール内のバンク単位に制御するための、メモリへの電源供給制御回路であって、

メモリモジュール各々の状況をモジュール単位、あるいはモジュール内のバンク単位に監視する監視回路と、

該監視回路からの状況監視結果に基づき、現に空き状態、あるいは不使用状態、または不要状態にあるメモリモジュール、あるいはバンクそれぞれへの電源供給をオフすべく、モジュール単位、あるいはバンク対応に電源供給制御信号を発生するプロセッサと、

該プロセッサからの電源供給制御信号に基づき、メモリモジュール各々への電源供給をモジュール単位、あるいはバンク単位にオン／オフする電源供給オン／オフ回路とを含む、メモリへの電源供給制御回路。

【請求項 2】

請求項 1 記載の、メモリへの電源供給制御回路において、

上記プロセッサは、非電源供給制御専用とされる、メモリへの電源供給制御回路。

【請求項 3】

請求項 1 記載の、メモリへの電源供給制御回路において、

上記空き状態、あるいは不使用状態、または不要状態にあるメモリモジュール、あるいはバンクには、チップ外部へのデータ退避記憶済みのメモリモジュール、あるいはバンク、またはフラグメンテーションを生じさせないようにして、他メモリモジュール、あるいは他バンクへのデータ再配置済みのメモリモジュール、あるいはバンクも含まれる、メモリへの電源供給制御回路。

【請求項 4】

同一チップ上に搭載された複数のメモリモジュール各々への電源供給をモジュール単位、あるいはモジュール内のバンク単位に制御するための、メモリへの電源供給制御方法であって、

メモリモジュール各々の状況をモジュール単位、あるいはモジュール内のバンク単位に監視する監視ステップと、

該監視ステップによる状況監視結果に基づき、現に空き状態、あるいは不使用状態、または不要状態にあるメモリモジュール、あるいはバンクそれぞれへの電源供給をオフすべく、モジュール単位、あるいはバンク対応に電源供給制御信号を発生する電源供給制御信号発生ステップと、

該電源供給制御信号発生ステップで発生された電源供給制御信号に基づき、メモリモジュール各々への電源供給をモジュール単位、あるいはバンク単位にオン／オフする電源供給オン／オフステップとを含む、D R A M への電源供給制御方法。

【請求項 5】

請求項 4 記載の、メモリへの電源供給制御方法において、

上記電源供給制御信号発生ステップでは、電源供給制御信号は非電源供給制御専用プロセッサにて発生される、メモリへの電源供給制御方法。

【請求項 6】

請求項 4 記載の、メモリへの電源供給制御方法において、

上記空き状態、あるいは不使用状態、または不要状態にあるメモリモジュール、あるいはバンクには、チップ外部へのデータ退避記憶済みのメモリモジュール、あるいはバンク、またはフラグメンテーションを生じさせないようにして、他メモリモジュール、あるいは他バンクへのデータ再配置済みのメモリモジュール、あるいはバンクも含まれる、メモリへの電源供給制御方法。

【請求項 7】

複数のメモリモジュールと、

該メモリモジュール各々の状況をモジュール単位、あるいはモジュール内のバンク単位に

監視する監視回路と、
該監視回路からの状況監視結果に基づき、現に空き状態、あるいは不使用状態、または不要状態にあるメモリモジュール、あるいはバンクそれぞれへの電源供給をオフすべく、モジュール単位、あるいはバンク対応に電源供給制御信号を発生するプロセッサと、
該プロセッサからの電源供給制御信号に基づき、メモリモジュール各々への電源供給をモジュール単位、あるいはバンク単位にオン／オフする電源供給オン／オフ回路とが同一チップ上に搭載された上、パッケージ内部に封止されてなるメモリ搭載装置。

【請求項 8】

請求項 7 記載のメモリ搭載装置において、

上記プロセッサは、非電源供給制御専用とされるメモリ搭載装置。

10

【請求項 9】

請求項 7 記載のメモリ搭載装置において、

上記空き状態、あるいは不使用状態、または不要状態にある DRAM モジュール、あるいはバンクには、チップ外部へのデータ退避記憶済みの DRAM モジュール、あるいはバンク、またはフラグメンテーションを生じさせないようにして、他 DRAM モジュール、あるいは他バンクへのデータ再配置済みの DRAM モジュール、あるいはバンクも含まれるメモリ搭載装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、複数のメモリモジュールとともに同一チップ上に搭載された状態で、それらメモリモジュール各々への電源供給がモジュール単位、あるいはモジュール内のバンク単位に制御されるようにした、メモリへの電源供給制御回路及び方法、更には、複数のメモリモジュール各々への電源供給が制御可能とされているメモリ搭載装置に関する。

【0002】

【従来の技術】

LSI (Large Scale Integrated Circuit)、例えばシステム LSI には、一般に複数の DRAM (Dynamic Random Access Memory) モジュールが搭載されることによって、大容量のメモリが実現されている。しかしながら、それら DRAM モジュールの全てが、常時、メモリとしての使用状態にあるとは限らず、使用されていないものにも拘らず、その DRAM モジュールには電源が投入されているのが実情である。

30

【0003】

因みに、特許文献 1 には、DRAM のリフレッシュ間隔を制御する技術が開示されており、そのリフレッシュ間隔が十分に延長可能とされている。

【0004】

【特許文献 1】

特許第 3177207 号の特許公報

【0005】

【発明が解決しようとする課題】

40

以上のように、これまでには、システム LSI に搭載されている複数の DRAM モジュールはその全てが使用状態にあるとは限らず、使用状態にない DRAM モジュールに対しても電源が常時、投入されていることから、電力が徒に消費されるようになっている。一般に DRAM での電流種別としては、先ずキャパシタに蓄積されているデータを書き直すためのリフレッシュ電流が挙げられるが、これ以外にも、トランジスタ等のリーク電流やバイアス回路内の貫通電流が挙げられる。しかしながら、データが不要であったり、あるいはデータが長期間使用されないにも拘らずリフレッシュ動作が行われたり、リフレッシュ動作が行われなくても、リーク電流や貫通電流の存在によって、電力が徒に消費されることは否めないものとなっている。

【0006】

50

本発明の目的は、同一チップ上に複数のメモリモジュールが搭載されている場合に、現に空き状態、あるいは不使用状態、または不要状態にあるメモリモジュール、あるいはバンクそれぞれへの電源供給がオフされることによって、消費電力の低減化を可能ならしめる、メモリへの電源供給制御回路及び方法、更には、消費電力の低減化が可能とされたメモリ搭載装置を提供することにある。

【0007】

【課題を解決するための手段】

本発明の、メモリへの電源供給制御回路は、メモリモジュール各々の状況をモジュール単位、あるいはモジュール内のバンク単位に監視する監視回路と、この監視回路からの状況監視結果に基づき、現に空き状態、あるいは不使用状態、または不要状態にあるメモリモジュール、あるいはバンクそれぞれへの電源供給をオフすべく、モジュール単位、あるいはバンク対応に電源供給制御信号を発生するプロセッサと、このプロセッサからの電源供給制御信号に基づき、メモリモジュール各々への電源供給をモジュール単位、あるいはバンク単位にオン／オフする電源供給オン／オフ回路とを含むように、構成されたものである。

10

【0008】

その監視回路により、現に空き状態、あるいは不使用状態、または不要状態にあるメモリモジュール、あるいはバンクが検出可能とされているが、これらメモリモジュール、あるいはバンクそれぞれへの電源供給のみがオフされるべく、プロセッサからはモジュール単位、あるいはバンク対応に電源供給制御信号が発生される。電源供給オン／オフ回路では、その電源供給制御信号に基づき、空き状態、あるいは不使用状態、または不要状態にあるメモリモジュール、あるいはバンクのみへの電源供給がオフされることで、これらメモリモジュール、あるいはバンクでは全く電力が消費されなくなり、その結果、全体としての消費電力の低減化が可能とされる。

20

【0009】

したがって、そのような電源供給制御回路がメモリ搭載装置（より具体的には、システムLSI等）に一体的に組み込まれる場合には、空き状態、あるいは不使用状態、または不要状態にあるメモリモジュール、あるいはバンクの数が多い程、消費電力の低減化が図れることになる。

【0010】

30

【発明の実施の形態】

以下、本発明の一実施の形態を図1、図2により説明する。

先ずメモリ（半導体メモリ）はDRAMであるとして、本発明によるメモリ搭載装置について説明する。このメモリ搭載装置は、少なくとも、複数のDRAMモジュールと、DRAMへの電源供給制御回路とが同一チップ上に搭載された上、パッケージ内に封止された状態として構成されているが、そのチップ上での本発明に係る回路構成例を図1に示す。図示のように、チップ1上には、電源オン／オフ制御対象としての、例えば4個のDRAMモジュール141～144が搭載されているが、これらDRAMモジュール141～144に対しては、電源供給制御回路が設けられている。

【0011】

40

その電源供給制御回路は、DRAMモジュール141～144各々の状況をモジュール単位、あるいはモジュール内のバンク単位に監視する監視回路11と、この監視回路11からの状況監視結果に基づき、現に空き状態、あるいは不使用状態、または不要状態にあるDRAMモジュール、あるいはバンクそれぞれへの電源供給をオフすべく、モジュール単位、あるいはバンク対応に電源供給制御信号を発生するCPU（central processing unit）（あるいはプロセッサ）12と、このCPU12からの電源供給制御信号に基づき、DRAMモジュール141～144各々への電源供給をモジュール単位、あるいはバンク単位にオン／オフする電源供給オン／オフ回路13とを含むようにして、構成される。因みに、CPU12としては、電源供給制御専用のものを用意することも考えられるが、既存のもの、即ち、一般処理用として設けられたものであってもよ

50

い。また、電源供給オン／オフ回路13には、電源供給先各々に対するスイッチ素子（p／nチャネルMOSトランジスタ、MEMS（Micro Electro Mechanical Systems）スイッチ等）が設けられた上、CPU12からの電源供給制御信号によりオン／オフされている。

【0012】

結局、その監視回路11では、スタンバイ動作時や通常動作時にDRAMモジュール141～144各々の使用状況が監視されており、その監視結果として、現に空き状態、あるいは不使用状態、または不要状態にあるDRAMモジュール、あるいはバンクが検出されている。このようにして検出されたDRAMモジュール、あるいはバンクそれぞれへの電源供給のみがオフされるように、その監視結果に基づき、CPU12からはモジュール単位、あるいはバンク対応に電源供給制御信号が発生される。因みに、DRAMモジュール141～144各々の使用状況は、CPU12ではなく、OS（operating system）により管理されている。

10

【0013】

電源供給オン／オフ回路13では、その電源供給制御信号に基づき、空き状態、あるいは不使用状態、または不要状態にあるDRAMモジュール、あるいはバンクのみへの電源供給がオフされるようになっている。このように、電源供給がオフされれば、そのDRAMモジュール、あるいはバンクでは全く電力が消費されなくなる結果として、全体としての消費電力の低減化が図れるものである。当然のことながら、DRAMモジュール、あるいはバンクへの電源がオフされれば、DRAMの特性上、データは消失されることになる。また、以上のように、DRAMモジュール、あるいはバンクへの電源がオフされている状態で、スタンバイ状態から通常状態への復帰時等、そのDRAMモジュール、あるいはバンクをメモリとして使用する必要が生じた場合には、CPU12からの電源供給制御信号により、直ちにそのDRAMモジュール、あるいはバンクには電源が供給されることで、アクティブ状態におかれるようにすればよい。

20

【0014】

ところで、空き状態、あるいは不使用状態、または不要状態にあるDRAMモジュール、あるいはバンクには、不要なデータが記憶されているDRAMモジュール、あるいはバンクが含まれるのは当然として、後に使用される可能性はあるものの、長期間に亘って使用されないデータが記憶されているDRAMモジュール、あるいはバンクも含まれる。そのデータがチップ外部のメモリ（フラッシュメモリ等）に退避記憶されるようにすれば、もはや、そのDRAMモジュール、あるいはバンクには不要なデータが記憶されていることになるからである。

30

【0015】

更に、有効なデータがDRAMモジュール141～144各々に分散記憶されている場合に、これらデータを、フラグメンテーション（断片化）を生じさせないようにして、ソフトウェア制御により、例えばDRAMモジュール141、142に集中的に記憶せしめ、DRAMモジュール143、144各々を不要な状態におくことによって、これらDRAMモジュール143、144各々への電源をオフすることも可能となっている。

【0016】

これについて説明すれば、DRAMの管理はOSにより行われており、DRAMにはシステム領域やアプリケーション（プログラム）領域が割当てされている。HDD（Hard Disk Drive）のファイルシステムのような機構を持てば、アプリケーションプログラム各々が何れのDRAMの何れのアドレス範囲に亘って記憶されているのかが管理可能となることから、データの再配置が可能となる。具体的には、例えばCPU12の空き時間を利用する等、DRAMモジュール143、144各々に分散されているアプリケーション領域がDRAMモジュール141、142に効率よく詰替えされれば、DRAMモジュール143、144各々は、もはや、不要状態におかれ、したがって、これらDRAMモジュール143、144各々への電源をオフすることが可能となる。

40

【0017】

50

何れにしても、ソフトウェアにより D R A M モジュール上のデータがフラグメンテーションを起こして分散しないように、常にデータの再配置を行うようにし、これにより不要 D R A M モジュールが作り出されれば、これへの電源がオフされるようにすればよい。因みに、システム領域については、基本的に動かすことは不可とされる。

【 0 0 1 8 】

以上の説明から判るように、本発明における電源オン／オフ制御対象は、専ら、D R A M モジュールとされているが、これに限定されることなく、D R A M モジュール以外の種々なメモリモジュールにも適用可能である。これは、近年の微細化プロセスにおいては、集積率は上がり、動作電流そのものは減ってはいるが、動作そのものとは関係の無いオフリーク電流が増大しているからであり、これがために、チップ全体の消費電力が前世代のプロセスに比し、減らないか、あるいは、むしろ、逆に増える傾向にあるからである。 10

【 0 0 1 9 】

以上のように、本発明によるメモリ搭載装置では、不必要なメモリモジュールへの電源がオフされていることから、装置全体としての消費電力の低減化が図れることになる。したがって、モバイル機器等に搭載される場合には、バッテリーによる長時間動作が可能となる。

【 0 0 2 0 】

最後に、本発明による、D R A M への電源供給制御方法について説明すれば、その一例での概要処理フローを図 2 に示す。図示のように、先ず D R A M モジュール各々の使用状況が監視される（ステップ 2 1）。次に、その状況監視結果に基づき、電源供給先それぞれに対する電源供給制御信号が発生される（ステップ 2 2）。更に、それら電源供給制御信号によって、既述のスイッチ素子がオン／オフされることで、空き状態、あるいは不使用状態、または不要状態にある D R A M モジュールへの電源がオフされるようになっている（ステップ 2 3）。 20

【 0 0 2 1 】

以上、本発明者によってなされた発明を実施の形態に基づき、具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲内で種々変更可能であることはいうまでもない。

【 0 0 2 2 】

【発明の効果】

同一チップ上に複数のメモリモジュールが搭載されている場合に、現に空き状態、あるいは不使用状態、または不要状態にあるメモリモジュール、あるいはバンクそれぞれへの電源供給がオフされることによって、消費電力の低減化を可能ならしめる、メモリへの電源供給制御回路及び方法、更には、消費電力の低減化が可能とされたメモリ搭載装置が提供される。 30

【図面の簡単な説明】

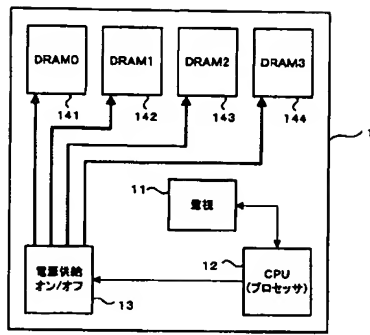
【図 1】チップ上での本発明に係る回路構成例を示す図である。

【図 2】本発明による、メモリへの電源供給制御方法の一例での概要処理フローを示す図である。

【符号の説明】

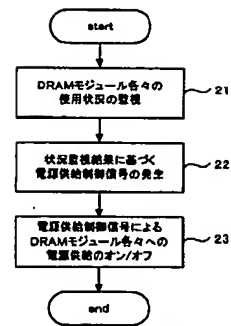
1 … チップ、1 1 … 監視回路、1 2 … C P U（プロセッサ）、1 3 … 電源供給オン／オフ回路、1 4 1 ～ 1 4 4 … D R A M モジュール 40

【図1】



チップ上での本発明に係る回路構成

【図2】



本発明に係る電源供給制御フロー